

## PACKAGE BOARD

**Publication number:** JP11163213

**Publication date:** 1999-06-18

**Inventor:** MORI YOJI

**Applicant:** IBIDEN CO LTD

**Classification:**

**- international:** *H01L21/60; H01L23/12; H05K3/46; H01L21/02; H01L23/12; H05K3/46; (IPC1-7): H01L23/12; H01L21/60; H05K3/46*

**- european:**

**Application number:** JP19970343815 19971128

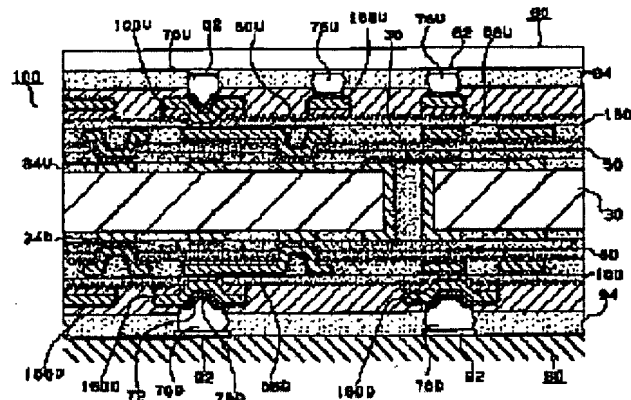
**Priority number(s):** JP19970343815 19971128

[Report a data error here](#)

### Abstract of JP11163213

**PROBLEM TO BE SOLVED:** To provide a package board in which disconnection between a solder bump and a via hole is prevented from being disconnected.

**SOLUTION:** A solder bump 76D of a motherboard 90 is formed on a via hole 160D, whereby the solder bump 76D is connected directly to a via hole 160. Therefore, heat cycles cause cracks in a resin body 94 which seals up a package board 100 and the motherboard, and even if the cracks extend up to the package board 100, the solder bump 76D will not be disconnected from the via hole 160D.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-163213

(43) 公開日 平成11年(1999) 6月18日

(51) Int.Cl. <sup>6</sup>	識別記号	F I	
H 0 1 L 23/12		H 0 1 L 23/12	N
21/60	3 1 1	21/60	3 1 1 S
H 0 5 K 3/46		H 0 5 K 3/46	N
			Q
		H 0 1 L 23/12	F
		審査請求 未請求 請求項の数 2 F D (全 12 頁)	

(21) 出願番号 特願平9-343815

(22) 出願日 平成9年(1997)11月28日

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72) 発明者 森 要二

岐阜県揖斐郡揖斐川町北方1-1 イビデ

ン株式会社大垣北工場内

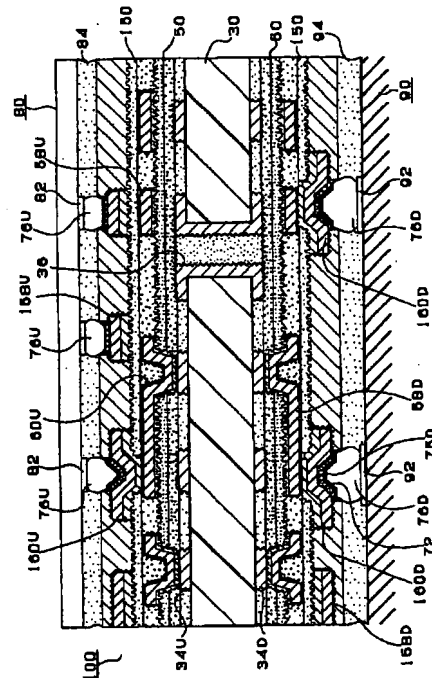
(74) 代理人 弁理士 田下 明人 (外1名)

(54) 【発明の名称】 パッケージ基板

(57) 【要約】

【課題】 半田バンプとバイアホールとの間に断線を生じしめないパッケージ基板を提供する。

【解決手段】 マザーボード60側の半田バンプ76Dをバイアホール160Dに形成することで、半田バンプ76Dとバイアホール160とを直接接続する。このため、ヒートサイクルによってパッケージ基板100とマザーボード90とを封止する樹脂94にクラックが入り、該クラックがパッケージ基板100側に伸張したとしても、該半田バンプ76Dとバイアホール160Dとの間に断線を生ぜしめることがない。



## 【特許請求の範囲】

【請求項1】 複数の層間樹脂絶縁層を介在させて多層の導体回路を形成して成り、ICチップの搭載される側の表面、及び、他の基板へ接続される側の表面に半田バンプが形成され、該他の基板に接続される側の表面と当該他の基板との間が樹脂封止されるパッケージ基板であって、  
該他の基板へ接続される側表面の半田バンプを、バイアホールに形成したことを特徴とするパッケージ基板。

【請求項2】 複数の層間樹脂絶縁層を介在させて多層の導体回路を形成して成り、ICチップの搭載される側の表面、及び、他の基板へ接続される側の表面に半田バンプが形成され、該他の基板に接続される側の表面と当該他の基板との間が樹脂封止されるパッケージ基板であって、  
該他の基板へ接続される側表面の半田バンプを、複数のバイアホールに形成したことを特徴とするパッケージ基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、ICチップを載置させるためのパッケージ基板に関し、更に詳細には、上面及び下面に、ICチップ、及び、マザーボード等の基板への接続用の半田バンプの形成されたパッケージ基板に関するものである。

## 【0002】

【従来の技術】高集積ICチップは、パッケージ基板に載置され、マザーボード、サブボード等の基板へ接続されている。このパッケージ基板の構成について、図26を参照して説明する。図26(A)は、パッケージ基板300にICチップ80を載置して、マザーボード90へ取り付け付けた状態を示す断面図である。該パッケージ基板300は、コア基板330の両面に層間樹脂絶縁層350を介在させて複数の導体回路358A、358B、358C、358Dを形成してなり、ICチップ80側の表面(上面)には、ICチップ80側のパッド82と接続するための半田バンプ376Uが形成され、サブボード90側の表面(下面)には、マザーボード90側のパッド92と接続するための半田バンプ376Dが形成されている。ここで、半田バンプ376U、376Dの接続信頼を高めるために、ICチップ80とパッケージ基板300の間には、樹脂84が封止され、同様に、パッケージ基板300とマザーボード90の間には、樹脂94が封止されている。

【0003】マザーボード90側の半田バンプ376Dは、内層の導体回路358Cと、バイアホール360ー配線378ー半田パッド375を介して接続されている。図26(B)は、図26(A)中のバイアホール360及び半田バンプ375をB側から見た状態を拡大して示している。半田バンプ376Dを載置する半田バ

ンプ375は円形に形成され、上述したように円形に形成されたバイアホール360へ配線378を介して接続されている。

## 【0004】

【発明が解決しようとする課題】ICチップ80は、動作中の高温状態と、動作の終了に伴う常温まで冷却とのヒートサイクルを繰り返す。ここで、シリコンから成るICチップ80と、樹脂製のパッケージ基板300とは、熱膨張率が大きく異なるため、該ヒートサイクルにおいてパッケージ基板300に応力が発生し、パッケージ基板300とマザーボード90との間の封止樹脂94にクラックLが発生させる。ここで、該樹脂94にクラックLが発生すると、該クラックLが伸張し、パッケージ基板300のバイアホール360と半田バンプ370との接続を断つことがあった。即ち、図26(A)中のバイアホール360及び半田バンプ375をC側から見た状態を拡大して示す図26(C)のように、半田バンプ3756Dを載置する半田バンプ375とバイアホール360とを接続する配線378が、クラックLにより断線されることがあった。

【0005】本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、半田バンプとバイアホールとの間に断線を生じめないパッケージ基板を提供することにある。

## 【0006】

【課題を解決するための手段】上述した目的を達成するため請求項1は、複数の層間樹脂絶縁層を介在させて多層の導体回路を形成して成り、ICチップの搭載される側の表面、及び、他の基板へ接続される側の表面に半田バンプが形成され、該他の基板に接続される側の表面と当該他の基板との間が樹脂封止されるパッケージ基板であって、該他の基板へ接続される側表面の半田バンプを、バイアホールに形成したことを技術的特徴とする。

【0007】また、請求項2は、複数の層間樹脂絶縁層を介在させて多層の導体回路を形成して成り、ICチップの搭載される側の表面、及び、他の基板へ接続される側の表面に半田バンプが形成され、該他の基板に接続される側の表面と当該他の基板との間が樹脂封止されるパッケージ基板であって、該他の基板へ接続される側表面の半田バンプを、複数のバイアホールに形成したことを技術的特徴とする。

【0008】請求項1のパッケージ基板においては、半田バンプをバイアホールに形成することで、半田バンプとバイアホールとを直接接続しているため、パッケージ基板にクラックが入っても半田バンプとバイアホールとの間に断線が生じない。即ち、バイアホールに配線を介して半田パッドを接続し、該半田パッドに半田バンプを載置したパッケージ基板においては、内部にクラックが入った際に、該クラックによってバイアホールと半田パッドとを接続する配線が断線し、半田バンプとバイアホ

ールとの接続が断たれることがあったが、請求項1のパッケージ基板では、クラックにより当該断線が生じることがない。

【0009】請求項2のパッケージ基板においては、半田バンパをバイアホールに形成することで、半田バンパとバイアホールとを直接接続しているため、パッケージ基板にクラックが入っても半田バンパとバイアホールとの間に断線が生じない。また、半田バンパを複数のバイアホールに形成してあるので、複数のバイアホールの内の1つが例えば内部で接続が取れていなくとも、他のバイアホールにて半田バンパとの接続が取れるため、フェーズセーフを具現化できる。また、半田バンパを複数のバイアホールに形成するため、バイアホールに対して半田バンパを大きく形成することができる。

【0010】

【発明の実施の形態】本発明の第1実施形態に係るパッケージ基板の構成について図22及び図23を参照して説明する。図22に断面を示す第1実施形態のパッケージ基板100は、図23に示すように上面にICチップ80を載置した状態で、マザーボード90に取り付けるためのいわゆる集積回路パッケージを構成するものである。該パッケージ基板は、上面にICチップ80の半田パッド82側に接続するための半田バンパ76Uが設けられ、下面側にマザーボード90の半田パッド92に接続するための半田バンパ76Dが配設され、該ICチップ80-マザーボード90間の信号等の受け渡し、及び、マザーボード90側からの電源供給を中継する役割を果たしている。

【0011】パッケージ基板のコア基板30の上面及び下面には、グランド層となる内層銅パターン34U、34Dが形成されている。また、内層銅パターン34Uの上層には、層間樹脂絶縁層50を介在させて信号線を形成する導体回路58Uが、又、該層間樹脂絶縁層50を貫通してバイアホール60Uが形成されている。導体回路58Uの上層には、層間樹脂絶縁層150を介して最外層の導体回路158U及び該層間樹脂絶縁層150を貫通するバイアホール160Uが形成され、該導体回路158U、バイアホール160Uには半田バンパ76Uを支持する半田パッド75Uが形成されている。ここで、ICチップ側の半田パッド75Uは、直径133～170 $\mu$ mに形成されている。

【0012】一方、コア基板30の下面側のグランド層（内層銅パターン）34Dの上層（ここで、上層とは基板30を中心として上面については上側を、基板の下面については下側を意味する）には、層間樹脂絶縁層50を介して信号線を形成する導体回路58Dが形成されている。該導体回路58Dの上層には、層間樹脂絶縁層150を介して最外層の導体回路158D及び該層間樹脂絶縁層150を貫通するバイアホール160Dが形成され、該バイアホール160Dには半田バンパ76Dを支

持する半田パッド75Dが形成されている。ここで、マザーボード側の半田パッド75Dは、直径600 $\mu$ mに形成されている。

【0013】この第1実施形態のパッケージ基板においては、マザーボード60側の半田バンパ76Dをバイアホール160Dに形成することで、半田バンパとバイアホールとを直接接続しているため、パッケージ基板にクラックが入っても半田バンパ76Dとバイアホール160Dとの間に断線が生じない。即ち、図26(A)を参照して上述した従来技術に係るバイアホール360に配線378を介して半田パッド375を接続し、該半田パッド375に半田バンパ376Dを載置したパッケージ基板300においては、内部にクラックLが入った際に、該クラックLによってバイアホール376Dと半田パッド376Dとを接続する配線378が断線し、半田バンパ376Dとバイアホール360との接続が断たれることがあった。これに対して、第1実施形態のパッケージ基板では、例えばクラックが発生しても、クラックにより半田バンパ76Dとバイアホール160Dとの間に断線が生じることがない。

【0014】引き続き、図22に示すパッケージ基板の製造工程について図1～図22を参照して説明する。

(1) 厚さ1mmのガラスエポキシ樹脂またはBT（ビスマレイミドトリアジン）樹脂からなるコア基板30の両面に18 $\mu$ mの銅箔32がラミネートされている銅張積層板30Aを出発材料とする（図1参照）。まず、この銅張積層板30Aをドリル削孔し、無電解めっき処理を施し、パターン状にエッチングすることにより、基板30の両面に内層銅パターン34U、34Dとスルーホール36を形成する（図2参照）。

【0015】(2) さらに、内層銅パターン34U、34Dおよびスルーホール36を形成した基板30を、水洗いして乾燥した後、酸化還元処理し、内層銅パターン34U、34Dおよびスルーホール36の表面に粗化層38を設ける（図3参照）。

【0016】(3) 一方、基板表面を平滑化するための樹脂充填剤を調整する。ここでは、ビスフェノールF型エポキシモノマー（油化シェル製、分子量310、YL983U）100重量部、イミダゾール硬化剤（四国化成製、2E4MZ-CN）6重量部を混合し、これらの混合物に対し、表面にシランカップリング剤がコーティングされた平均粒径1.6 $\mu$ mのSiO<sub>2</sub>球状粒子（アドマテック製、CRS1101-CE、ここで、最大粒子の大きさは後述する内層銅パターンの厚み（15 $\mu$ m）以下とする）170重量部、消泡剤（サンノブコ製、ベレノールS4）0.5重量部を混合し、3本ロールにて混練することにより、その混合物の粘度を23±1℃で45,000～49,000cpsに調整して、樹脂充填剤を得る。この樹脂充填剤は無溶剤である。もし溶剤入りの樹脂充填剤を用いると、後工程において層

間剤を塗布して加熱・乾燥させる際に、樹脂充填剤の層から溶剤が揮発して、樹脂充填剤の層と層間材との間で剥離が発生するからである。

【0017】(4) 上記(3)で得た樹脂充填剤40を、基板30の両面にロールコータを用いて塗布することにより、上面の導体回路(内層銅パターン)34U間あるいはスルーホール36内に充填し、70℃、20分間で乾燥させ、下面についても同様にして樹脂充填剤40を導体回路34D間あるいはスルーホール36内に充填し、70℃、20分間で乾燥させる(図4参照)。

【0018】(5) 上記(4)の処理を終えた基板30の片面を、#600のベルト研磨紙(三共理化学製)を用いたベルトサンダー研磨により、内層銅パターン34U、34Dの表面やスルーホール36のランド表面に樹脂充填剤40が残らないように研磨し、次いで、上記ベルトサンダー研磨による傷を取り除くためのバフ研磨を行う(図5参照)。次いで、100℃で1時間、120℃で3時間、150℃で1時間、180℃で7時間の加熱処理を行って樹脂充填剤40を硬化させる。

【0019】このようにして、スルーホール36等に充填された樹脂充填剤40の表層部および導体回路34U、34D上面の粗化層38を除去して基板両面を平滑化することで、樹脂充填剤40と導体回路34U、34Dの側面とが粗化層38を介して強固に密着し、またスルーホール36の内壁面と樹脂充填剤40とが粗化層38を介して強固に密着した配線基板を得る。即ち、この工程により、樹脂充填剤40の表面と内層銅パターン34U、34Dの表面とを同一平面にする。

【0020】(6) 上記(5)の処理で露出した導体回路34U、34Dおよびスルーホール36のランド上面に、厚さ2.5μmのCu-Ni-P合金からなる粗化層(凹凸層)42を形成し、さらに、その粗化層42の表面に厚さ0.3μmのSn層を設ける(図6参照、但し、Sn層については図示しない)。その形成方法は以下のようである。即ち、基板30を酸性脱脂してソフトエッチングし、次いで、塩化パラジウムと有機酸からなる触媒溶液で処理して、Pd触媒を付与し、この触媒を活性化した後、硫酸銅8g/l、硫酸ニッケル0.6g/l、クエン酸15g/l、次亜リン酸ナトリウム29g/l、ホウ酸31g/l、界面活性剤0.1g/l、pH=9からなる無電解めっき浴にめっきを施し、銅導体回路4およびスルーホール9のランド上面にCu-Ni-P合金の粗化層42を形成する。ついで、ホウフッ化スズ0.1mol/l、チオ尿素1.0mol/l、温度50℃、pH=1.2の条件でCu-Sn置換反応させ、粗化層42の表面に厚さ0.3μmのSn層を設ける(Sn層については図示しない)。

【0021】引き続き、絶縁層を形成する感光性接着剤(上層用)及び層間樹脂絶縁剤(下層用)を用意する。

(7) 感光性接着剤(上層用)は、DMDG(ジエチレ

ングリコールジメチルエーテル)に溶解した濃度80wt%のクレゾールノボラック型エポキシ樹脂(日本化薬製、分子量2500)の25%アクリル化物を35重量部、ポリエーテルスルホン(PES)12重量部、イミダゾール硬化剤(四国化成製、2E4MZ-CN)2重量部、感光性モノマー(東亜合成製、アロニックスM315)4重量部、光開始剤(チバガイギー製、イルガキュアI-907)2重量部、光増感剤(日本化薬製、DET-X-S)0.2重量部を混合し、これらの混合物に対し、エポキシ樹脂粒子(三洋化成製、ポリマーボール)の平均粒径1.0μmのものを7.2重量部、平均粒径0.5μmのものを3.09重量部、消泡剤(サンノアコ製 S-65)0.5重量部を混合した後、さらにNMP30重量部を添加しながら混合して粘度7Pa・sの感光性接着剤(上層用)を得る。

【0022】(8) 一方、層間樹脂絶縁剤(下層用)は、DMDG(ジエチレングリコールジメチルエーテル)に溶解した濃度80wt%のクレゾールノボラック型エポキシ樹脂(日本化薬製、分子量2500)の25%アクリル化物を35重量部、ポリエーテルスルホン(PES)12重量部、イミダゾール硬化剤(四国化成製、2E4MZ-CN)2重量部、感光性モノマー(東亜合成製、アロニックスM315)4重量部、光開始剤(チバガイギー製、イルガキュアI-907)2重量部、光増感剤(日本化薬製、DET-X-S)0.2重量部を混合し、これらの混合物に対し、エポキシ樹脂粒子(三洋化成製、ポリマーボール)の平均粒径0.5μmのものを14.49重量部、消泡剤(サンノアコ製、S-65)0.5重量部を混合した後、さらにNMP30重量部を添加しながら混合して粘度1.5Pa・sの層間樹脂絶縁剤(下層用)を得る。

【0023】(9) 基板30の両面に、上記(7)で得られた粘度1.5Pa・sの層間樹脂絶縁剤(下層用)をロールコータで塗布し、水平状態で20分間放置してから、60℃で30分の乾燥(プリベーク)を行い、絶縁剤層44を形成する。さらにこの絶縁剤層44の上に上記(8)で得られた粘度7Pa・sの感光性接着剤(上層用)をロールコータを用いて塗布し、水平状態で20分間放置してから、60℃で30分の乾燥を行い、接着剤層46を形成する(図7参照)。

【0024】上述したように導体回路34U、34Dは、粗化層(凹凸層)42が形成され、即ち、粗化処理が施されることで、上層の絶縁剤層44との密着性が高められている。

【0025】(10) 上記(9)で絶縁剤層44および接着剤層46を形成した基板30の両面に、100μmφの黒円が印刷されたフォトマスクフィルムを密着させ、超高圧水銀灯により500mJ/cm<sup>2</sup>で露光する。これをDMDG溶液でスプレー現像し、さらに、当該基板を超高圧水銀灯により3000mJ/cm<sup>2</sup>で露

光し、100℃で1時間、その後150℃で5時間の加熱処理（ポストバーク）をすることにより、フォトマスクフィルムに相当する寸法精度に優れた100 $\mu$ m $\phi$ の開口（バイアホール形成用開口48）を有する厚さ35 $\mu$ mの層間樹脂絶縁層（2層構造）50を形成する（図8参照）。なお、バイアホールとなる開口48には、スズめっき層を部分的に露出させる。

【0026】（11）開口48が形成された基板30を、クロム酸に1分間浸漬し、接着剤層46の表面のエポキシ樹脂粒子を溶解除去することにより、層間樹脂絶縁層50の表面を粗面とし、その後、中和溶液（シブレイ社製）に浸漬してから水洗いする（図9参照）。さらに、粗面化処理した該基板の表面に、パラジウム触媒（アトテック製）を付与することにより、層間樹脂絶縁層50の表面およびバイアホール用開口48の内壁面に触媒核を付ける。

【0027】（12）以下の組成の無電解銅めっき浴中に基板を浸漬して、粗面全体に厚さ1.6 $\mu$ mの無電解

〔電解めっき液〕

硫酸	180 g/l
硫酸銅	80 g/l
添加剤（アトテックジャパン製、カパラシドGL）	1 ml/l

〔電解めっき条件〕

電流密度	1 A/dm <sup>2</sup>
時間	30分
温度	室温

【0030】（15）めっきレジスト54を5% KOHで剥離除去した後、そのめっきレジスト54下の無電解めっき膜52を硫酸と過酸化水素の混合液でエッチング処理して溶解除去し、無電解銅めっき膜52と電解銅めっき膜56からなる厚さ18 $\mu$ mの導体回路58U、58D及びバイアホール60U、60Dを形成する（図13参照）。引き続き、その基板30を800 g/lのクロム酸中に3分間浸漬して粗化面上に残留しているパラジウム触媒核を除去する。

【0031】（16）導体回路58U、58D及びバイアホール60U、60Dを形成した基板30を、硫酸銅8 g/l、硫酸ニッケル0.6 g/l、クエン酸15 g/l、次亜リン酸ナトリウム29 g/l、ホウ酸31 g/l、界面活性剤0.1 g/lからなるpH=9の無電解めっき液に浸漬し、該導体回路58U、58D及びバイアホール60U、60Dの表面に厚さ3 $\mu$ mの銅-ニッケル-リンからなる粗化層62を形成する（図14参照）。さらに、ホウフッ化スズ0.1 mol/l、チオ尿素1.0 mol/l、温度50℃、pH=1.2の条件でCu-Sn置換反応を行い、上記粗化層62の表面に厚さ0.3 $\mu$ mのSn層を設ける（Sn層については図示しない）。

【0032】（17）上記（2）～（16）の工程を繰

銅めっき膜52を形成する（図10参照）。

〔無電解めっき液〕

EDTA	150 g/l
硫酸銅	20 g/l
HCHO	30 ml/l
NaOH	40 g/l
$\alpha$ 、 $\alpha'$ -ピビリジル	80 mg/l
PEG	0.1 g/l

〔無電解めっき条件〕

70℃の液温度で30分

【0028】（13）上記（12）で形成した無電解銅めっき膜52上に市販の感光性ドライフィルムを張り付け、マスクを載置して、100 mJ/cm<sup>2</sup>で露光、0.8%炭酸ナトリウムで現像処理し、厚さ15 $\mu$ mのめっきレジスト54を設ける（図11参照）。

【0029】（14）ついで、レジスト非形成部分に以下の条件で電解銅めっきを施し、厚さ15 $\mu$ mの電解銅めっき膜56を形成する（図12参照）。

り返すことにより、さらに上層の導体回路を形成する。即ち、基板30の両面に、層間樹脂絶縁剤（下層用）をロールコートで塗布し、絶縁剤層144を形成する。また、この絶縁剤層144の上に感光性接着剤（上層用）をロールコートを用いて塗布し、接着剤層146を形成する（図15参照）。絶縁剤層144および接着剤層146を形成した基板30の両面に、フォトマスクフィルムを密着させ、露光・現像し、開口（バイアホール形成用開口148）を有する層間樹脂絶縁層150を形成した後、該層間樹脂絶縁層150の表面を粗面とする（図16参照）。その後、該粗面化処理した該基板30の表面に、無電解銅めっき膜152を形成する（図17参照）。引き続き、無電解銅めっき膜152上にめっきレジスト154を設けた後、レジスト非形成部分に電解銅めっき膜156を形成する（図18参照）。そして、めっきレジスト154をKOHで剥離除去した後、そのめっきレジスト54下の無電解めっき膜152を溶解除去し導体回路158U、158D及びバイアホール160U、160Dを形成する（図19参照）。さらに、該導体回路158U、158D及びバイアホール160U、160Dの表面に粗化層162を形成し、パッケージ基板を完成する（図20参照）。

【0033】（19）そして、上述したパッケージ基板にはんだバンプを形成する。まず、はんだバンプ用のソルダーレジスト組成物の調整について説明する。ここでは、DMDGに溶解させた60重量%のクレゾールノボラック型エポキシ樹脂（日本化薬製）のエポキシ基50

％をアクリル化した感光性付与のオリゴマー（分子量4000）を46.67g、メチルエチルケトンに溶解させた80重量％のビスフェノールA型エポキシ樹脂（油化シェル製、エピコート1001）15.0g、イミダゾール硬化剤（四国化成製、2E4MZ-CN）1.6g、感光性モノマーである多価アクリルモノマー（日本化薬製、R604）3g、同じく多価アクリルモノマー（共栄社化学製、DPE6A）1.5g、分散系消泡剤（サンノブコ社製、S-65）0.71gを混合し、さらにこれらの混合物に対し、光開始剤としてのベンゾフェノン（関東化学製）を2g、光増感剤としてのミヒラケトン（関東化学製）を0.2g加えて、粘度を25℃で2.0Pa・sに調整したソルダーレジスト組成物を得る。

【0034】（20）上記（18）で得た配線板の両面に、上記ソルダーレジスト組成物を20μmの厚さで塗布する。次いで、70℃で20分間、70℃で30分間の乾燥処理を行った後、円パターン（マスクパターン）が描画された厚さ5mmのフォトマスクフィルムを密着させて載置し、1000mJ/cm<sup>2</sup>の紫外線で露光し、DMTG現像処理する。そしてさらに、80℃で1時間、100℃で1時間、120℃で1時間、150℃で3時間の条件で加熱処理し、はんだパッド部分（バイアホールとそのランド部分を含む）71が開口した（上面側開口径200μm、下面側開口径600μm）ソルダーレジスト層（厚み20μm）70を形成する（図21参照）。

【0035】（21）次に、ソルダーレジスト層70を形成した基板30を、塩化ニッケル30g/l、次亜リン酸ナトリウム10g/l、クエン酸ナトリウム10g/lからなるpH=5の無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ5μmのニッケルめっき層72を形成する（図22参照）。さらに、その基板30を、シアン化金カリウム2g/l、塩化アンモニウム75g/l、クエン酸ナトリウム50g/l、次亜リン酸ナトリウム10g/lからなる無電解金めっき液に93℃の条件で23秒間浸漬して、ニッケルめっき層72上に厚さ0.03μmの金めっき層74を析出し、上面に直径133～170μmの半田パッド75Uを、下面に直径600μmの半田パッド75Dを形成する。

【0036】（22）そして、ソルダーレジスト層70の開口部71内の半田パッド75U、75Dに、はんだペーストを印刷して200℃でリフローすることによりはんだバンパ76U、76Dを形成し、はんだバンパ76U、76Dを有するパッケージ基板100を完成する。

【0037】図22に示すパッケージ基板100に図23に示すようにICチップ80を取り付ける。ここではまず、パッケージ基板100の半田バンパ76Uに、ICチップ80を、該ICチップの半田パッド82が対応

するように載置し、加熱炉を通過させることにより、パッケージ基板100の半田パッド76UをICチップ80の半田パッド82に融着させることによって、パッケージ基板100とICチップ80との接続を取る。

【0038】その後、加熱により半田バンパ76Uを半田パッド82に融着及び固化させる際に染み出した半田フラックスの浄化を行う。ここでは、クロロセンなどの有機溶剤を、ICチップ80とパッケージ基板100との隙間に流し込み、半田フラックスを除去する。その後、ICチップ80とパッケージ基板100との隙間に樹脂を充填して、樹脂封止を行う。図示しないが、同時にICチップ80全体に樹脂をモールドすることにより、ICチップ80の取り付けが完了する。

【0039】引き続き、マザーボード90へのパッケージ基板100の取り付けを行う。マザーボードの半田パッド92にパッケージ基板100の半田バンパ76Dが対応するように載置し、加熱炉を通過させることにより、パッケージ基板100の半田パッド76Dをマザーボード90の半田パッド92に融着させることによって、パッケージ基板100とマザーボード90との接続を取る。その後、図23に示すようにパッケージ基板100とマザーボード90との隙間に樹脂94を充填して、樹脂封止を行い、取り付けが完了する。

【0040】引き続き、本発明の第2実施形態に係るパッケージ基板200について、図23及び図24を参照して説明する。図22を参照して上述した第1実施形態のパッケージ基板100においては、1つのバイアホール160Dに1つの半田バンパ76Dを載置した。これに対して、第2実施形態のパッケージ基板200においては、図24に示すように複数（3つ）のバイアホール260、260、260に1つの半田バンパ276を載置する。即ち、図24のX1-X1断面に相当する図25（図25中のX2-X2ラインが図24のX1-X1ラインに相当）のように、バイアホール260は、3つ近接して構成され、該3つのバイアホール260の共通のランド部260aに、ニッケルめっき層72及び金めっき層74が形成されることで、1つの大きなランド275が形成されている。そして、該大きなランド275に大きな半田バンパ276が載置されている。

【0041】この第2実施形態のパッケージ基板200においては、半田バンパ276をバイアホール260に形成することで、半田バンパ276とバイアホール260とを直接接続しているため、例えばパッケージ基板200にクラックが入っても半田バンパ276とバイアホール260との間に断線が生じない。また、半田バンパ276を、複数のバイアホール260、260、260に形成してあるので、複数のバイアホールの内の1つが内層の導体回路58Dと接続が取れていなくとも、他のバイアホールにて半田バンパ276及び内層導体回路58Dの接続が取れるため、フェーズセーフを具現化できる。

【0042】また、上述したように、ICチップ80側の半田パッド75Uは、直径133～170 $\mu$ mに形成され、マザーボード側の半田パッド75Dは、直径60 $\mu$ mに形成され、4～5倍大きさが異なり、1つのバイアホールにマザーボード側の大きな半田パッド75Dを形成し難い。このため、第2実施形態のパッケージ基板200においては、半田バンパ276を、複数のバイアホール260、260、260に形成することで、大きな半田バンパを形成している。ここで、上述した第2実施形態においては、3個のバイアホールに1つの半田バンパを形成したが、2つのバイアホールに1つの半田バンパを、また、4つ以上のバイアホールに1つの半田バンパを形成することも可能である。

【0043】なお、上述した第1実施形態では、セミアディティブ法により形成するパッケージ基板を例示したが、本発明の構成は、フルアディティブ法により形成するパッケージ基板にも適用し得ることは言うまでもない。また、上述した実施形態では、パッケージ基板をマザーボードに直接取り付けの例を挙げたが、パッケージ基板をサブボード等を介してマザーボードに接続する場合にも、本発明のパッケージ基板を好適に使用することができる。

【0044】

【発明の効果】以上説明したように請求項1のパッケージ基板においては、半田バンパをバイアホールに形成することで、半田バンパとバイアホールとを直接接続しているため、パッケージ基板にクラックが入っても半田バンパとバイアホールとの間に断線が生じない。

【0045】請求項2のパッケージ基板においては、半田バンパをバイアホールに形成することで、半田バンパとバイアホールとを直接接続してあるため、パッケージ基板にクラックが入っても半田バンパとバイアホールとの間に断線が生じない。また、半田バンパを複数のバイアホールに形成してあるので、複数のバイアホールの内の1つが例え内部で接続が取れていなくとも、他のバイアホールにて半田バンパとの接続が取れるため、フェーズセーフを具現化できる。また、半田バンパを複数のバイアホールに形成するため、バイアホールに対して半田バンパを大きく形成することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図2】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図3】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図4】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図5】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図6】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図7】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図8】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図9】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図10】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図11】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図12】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図13】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図14】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図15】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図16】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図17】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図18】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図19】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図20】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図21】本発明の第1実施形態に係るパッケージ基板の製造工程を示す図である。

【図22】本発明の第1実施形態に係るパッケージ基板を示す断面図である。

【図23】図22に示すパッケージ基板にICチップを載置し、マザーボードへ取り付けた状態を示す断面図である。

【図24】本発明の第2実施形態に係るパッケージ基板を示す断面図である。

【図25】図24のパッケージ基板のX1-X1横断面図である。

【図26】図26(A)は、従来技術に係るパッケージ基板の断面図であり、図26(B)は、図26(A)のB矢視図であり、図26(C)は、図26(A)のC矢視図である。

【符号の説明】

30 コア基板

34U、34D 内層銅パターン

50 層間樹脂絶縁層

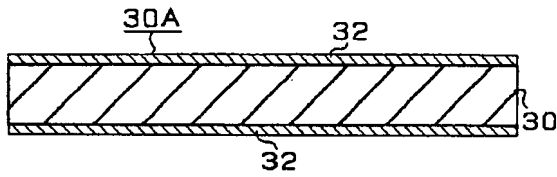
58U、58D 導体回路



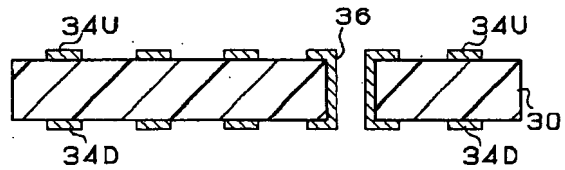
60U、60D バイアホール  
 75U、75D 半田パッド  
 76U、76D 半田パンパ  
 150 層間樹脂絶縁層

160U バイアホール  
 260 バイアホール  
 275 半田パッド  
 276 半田パンパ

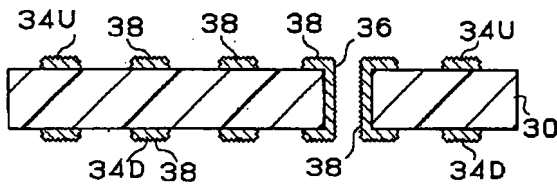
【図1】



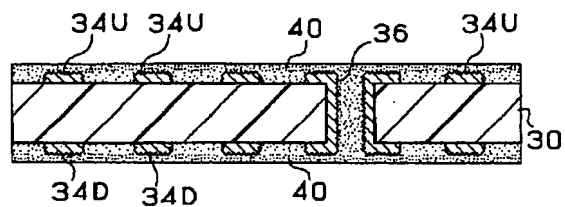
【図2】



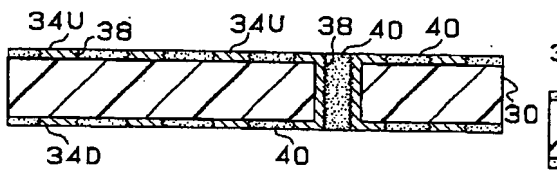
【図3】



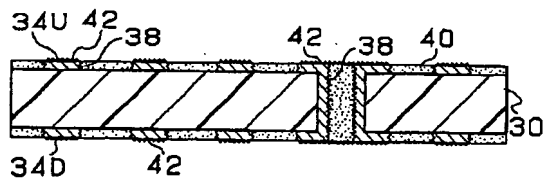
【図4】



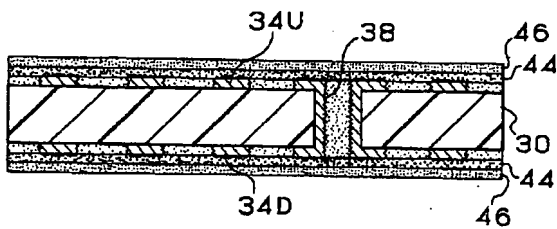
【図5】



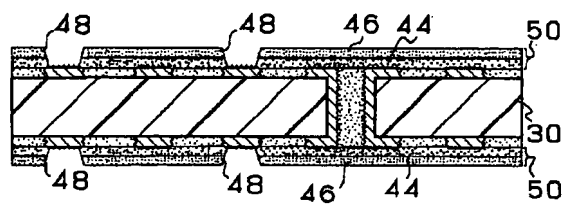
【図6】



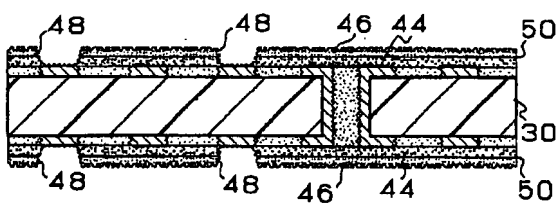
【図7】



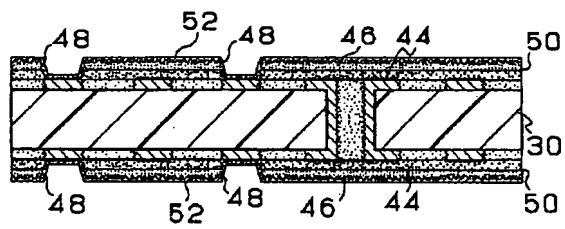
【図8】



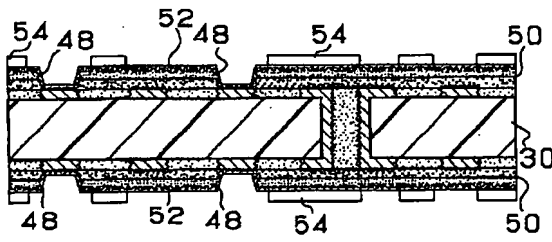
【図9】



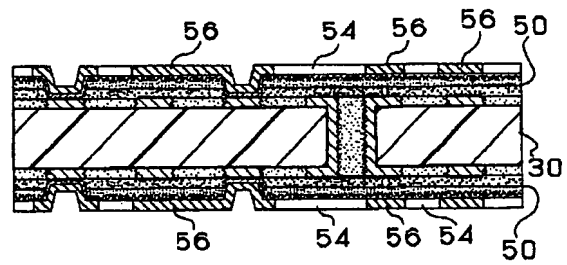
【図10】



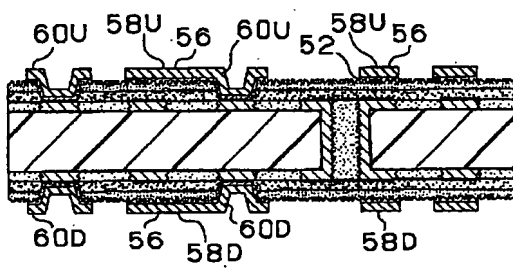
【図11】



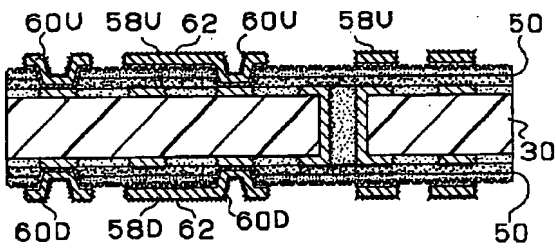
【図12】



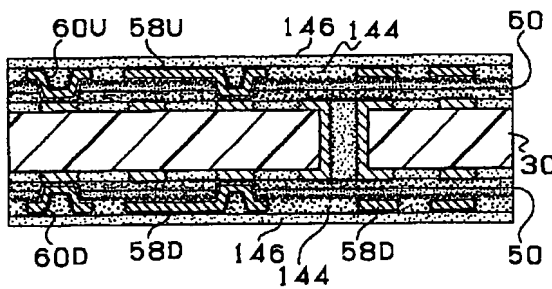
【図13】



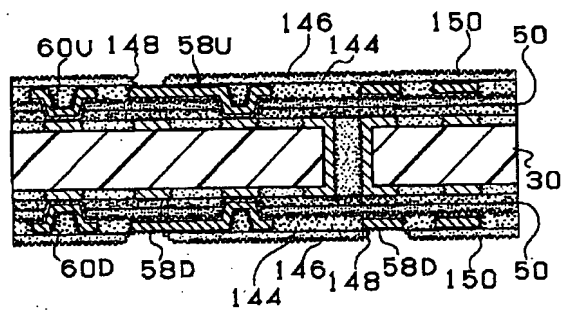
【図14】



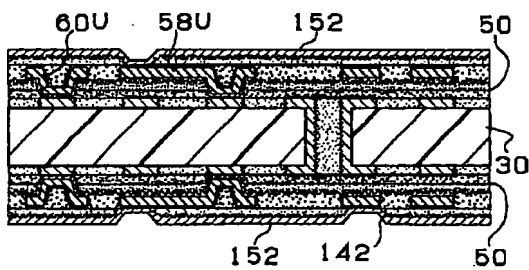
【図15】



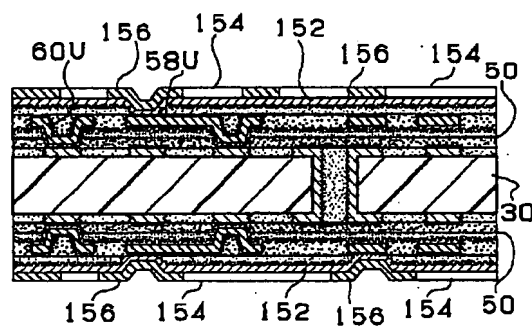
【図16】



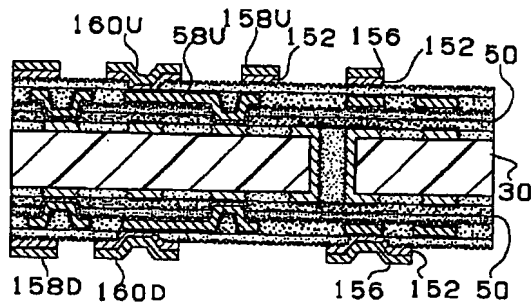
【図17】



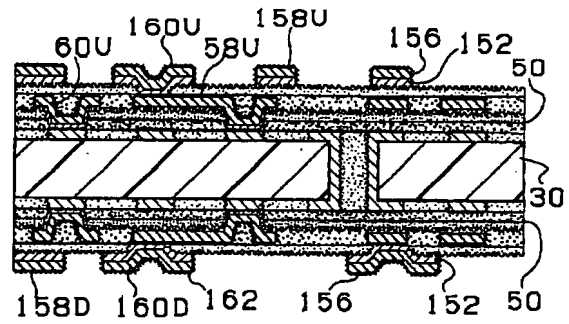
【図18】



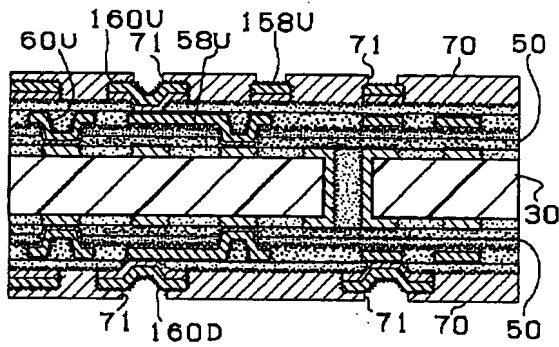
【図19】



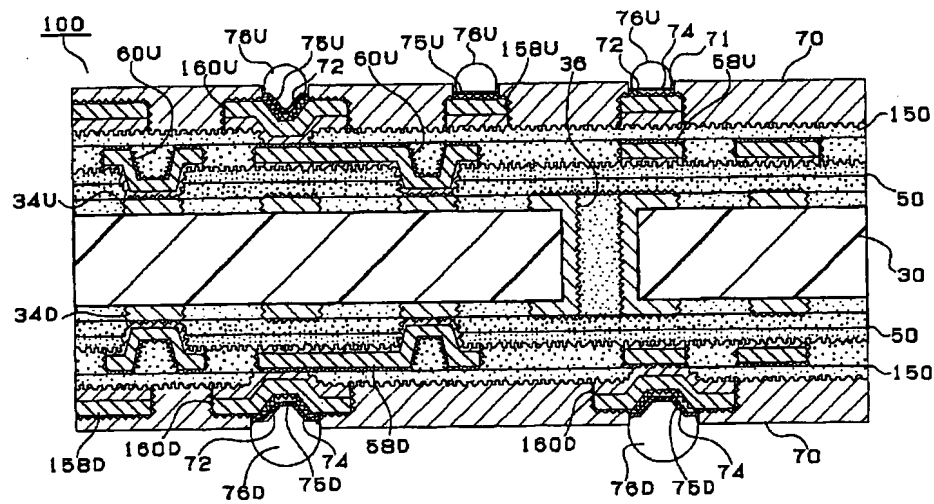
【図20】



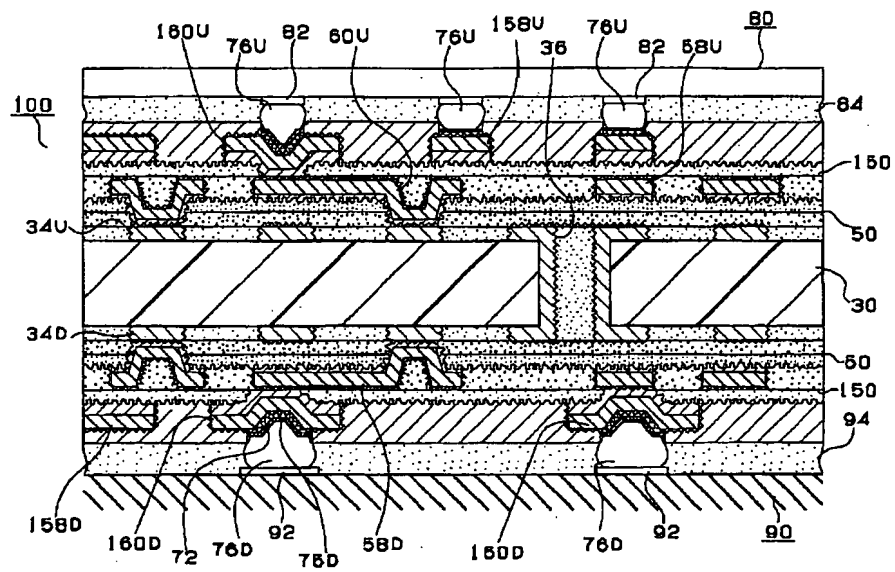
【図21】



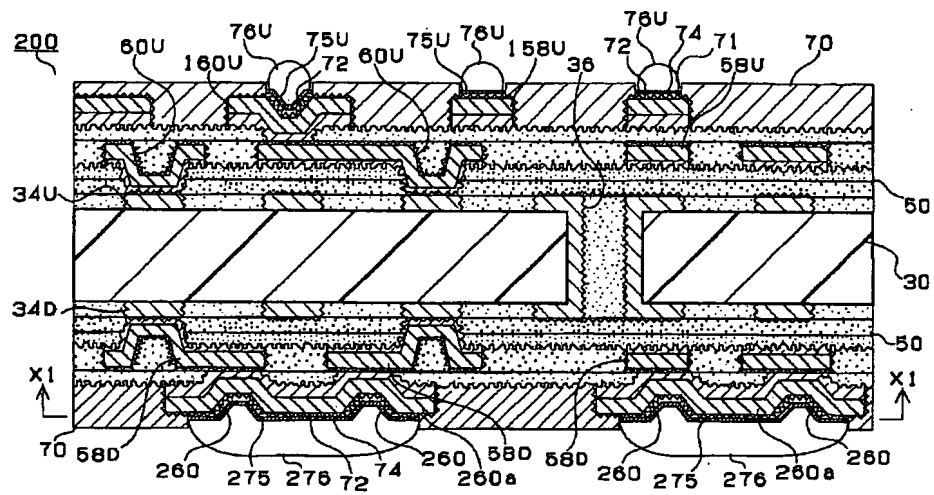
【図22】



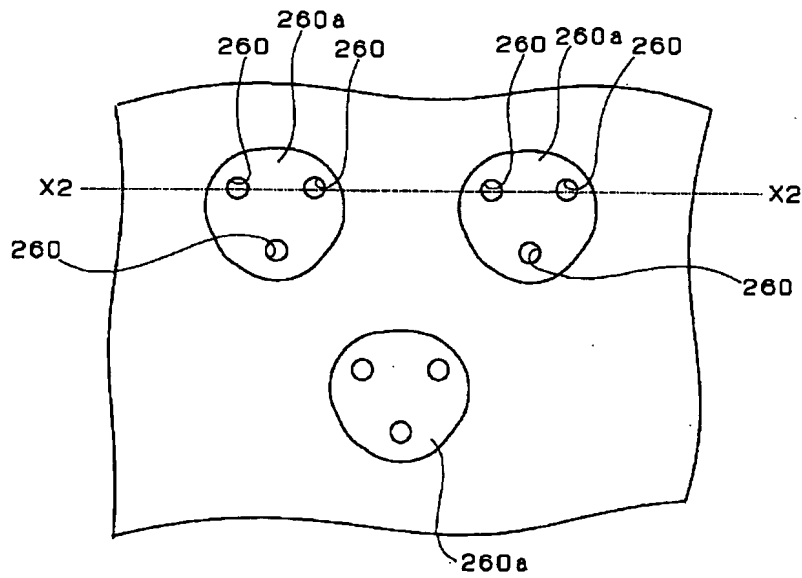
【図23】



【図24】



【図25】



【図26】

